

优化 NoC 性能的存储和通信压缩

宋朝晖^{1,2}, 马光胜¹, 宋大雷³

(1 哈尔滨工程大学 计算机科学与技术学院, 黑龙江 哈尔滨 150001;

2 黑龙江电力职工大学 计算机网络中心, 黑龙江 哈尔滨 150030; 3 中国海洋大学 工程学院, 山东 青岛 266001)

摘 要: 文中针对 NoC 体系结构, 提出了两种数据压缩技术, 被称为高速缓存压缩和网络接口控制器(NIC)内的压缩. 性能实测结果指示压缩能够使 NoC 设计在较低的网络延迟、较低的功耗和改进应用性能等方面获得优势.

关键词: 片上网络; 高速缓存; 网络接口控制器; 压缩

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2011)03-0190-05

Combinations of Storage and Communication Compression to Optimize NoC Performance

SONG Zhao-hui^{1,2}, MA Guang-sheng¹, SONG Da-lei³

(1 School of Computer Science and Technology, Harbin Engineering University, Harbin 150001, China;

2 Computer Network Center, Heilongjiang Electric Power Staff University, Harbin 150030, China;

3 College of Engineering, Ocean University of China, Qingdao 266001, China)

Abstract: Two data compression techniques are presented, called cache compression and compression in the network interface controller (NIC), for NoC architectures. Performance results indicate that compression can benefit the NoC design in terms of lower network latency, lower power consumption and improved application performance.

Key words: network-on-chip (NoC); cache; network interface controller (NIC); compression

1 引言

在芯片上集成多核结构需要更大的片上高速缓存, 这种高速缓存是由多个较小的高速缓冲存储体通过片上网络 NoC 通讯组成. 然而, 芯片面积和分布通信中心系统的功耗令人担忧^[1-2]. NoC 内部 IP 核之间的互连和通信路由极大地影响了系统性能^[3]. 因此文献[4]提出了 NoC 网络性能分析算法, 并且给出了传输延迟、饱和吞吐率等参数的解析表达式. 文献[5]针对 NoC 不规则分层拓扑结构, 提出了一种新的交换节点设计构想, 并给出了一种有效的拥塞控制策略^[6].

通常 CMP 内的 NUCA^[7]设计大多用以报文为基础的片上网络 NoC 体系结构, 采用路由器微体系结构设计, 以优化 NoC 性能和功耗. 为加强通信体系结构性能应用了数据压缩技术. 文中用数据压缩

的思想获得性能提高和功耗节省, 提出两个数据压缩技术: 高速缓存压缩和网络接口控制器(NIC)内的压缩.

2 存储和通信压缩

两种数据压缩技术探索存储和通信压缩, 如图 1 所示.

(1) 高速缓存压缩(简称 CC). 在把数据发送到一个共享 L2 高速缓存存储体之前, 压缩 L1 高速缓存之后的数据. 高速缓存内压缩数据是一个以改进存储器为目标的技术, 通过把更多的信息压缩成一个固定长度的高速缓存结构而最终改进系统性能.

(2) 网络接口控制器内的压缩(简称 NC). 在网络接口控制器内压缩, NIC 已先前注入进网络内. NC 意味着利用在高速缓存存储体内的未压缩存储数据, 仅仅是网络通讯量被压缩. 为方便实现这个技

术方法,在 NIC 内集成一个简单的压缩器/解压缩

器模块。

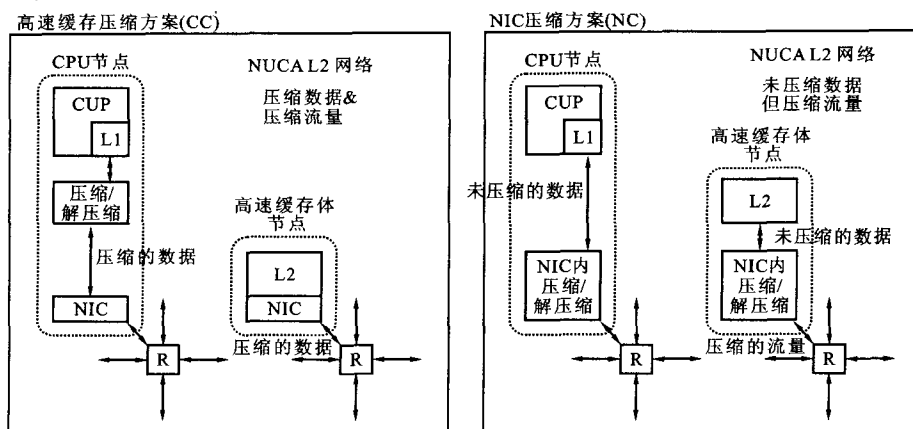


图1 高速缓存压缩(CC)和NIC压缩(NC)示意图

2.1 高速缓存压缩

高速缓存压缩允许在同样的高速缓存尺寸内存储更多的数据。这能够通过利用同样物理组尺寸之间较高的相关性实现,并且通过附加的硬件来处理每个物理组里不同的高速缓存线获得,处理不同长度高速缓存线的高速缓存体系结构如图2(a)所示。在这个设计里,一高速缓存线的传统硬件间隔尺寸现在减少到一个组内一个段,一个段由4个压缩字组成,一个组包含32个段。取决于它的压缩可能性,每个缓存线可以由1到8个段组成,标识从而修改为一个3位长数值(即直到8缓存线)。用一个1位压缩状态标志来指示线路是否被压缩。

附加的硬件模块要求用高速缓存压缩方案的在图2(a)中用阴影着色。一个高速缓存查找关键路径详见图2(b)(阴影着色)。

每一个高速缓存线开始于来自开始组的一个可变段偏移,取决于所有以前有效高速缓存线的累计长度。因此需要计算每一高速缓存线的开始地址,为此使用一个并行前缀加法器,标识比较器和加法器能够并行操作。既然一高速缓存线的间隔尺寸已减少到一段的可变数,一高速缓存线现在能够潜在地从组内任何段偏移开始(每个组有32段),并同样地以任何段结束。因此能够不再用标识比较器的直接输出来驱动输出驱动器多路复用器电路,而必须把整体输出驱动器电路分成很多较小的驱动器来解释每一个高速缓存线里段增加。这些驱动器由一32位控制掩码控制,控制掩码每一位代表整个组里的一个段,这样电路中附加一个位掩码生成器,把累计长度和当前长度作为输入生成一个位掩码,位掩码将只在那些段属于有效匹配高速缓存线时被激活,位掩码随后送到数据输出驱动器电路。

为了支持可变线大小,标识数组存取和数据数组存取部件必须分离。此外,需要始终保持相邻存储不变量。这要避免任何组内存储碎片,而且更重要的是简化数组查找。如果允许无效段空穴充满有效高速缓存线,那么系统除了要记录线长度外,还有每一有效缓存线的开始地址。为保持一相邻存储空间,当发生某些事件时,必须移动高速缓存组内的段,则称移动段的操作为压缩。

下面两种情形下需要压缩:(1)在一个写选中上,写回的数据比最初的压缩线大(臃肿写);(2)在一个替换上,选择被替换的线和组内带来的新线大小不一样,注意可能需要替换1条以上的线来适应一新线。这个过程可能需要1个以上压缩操作。

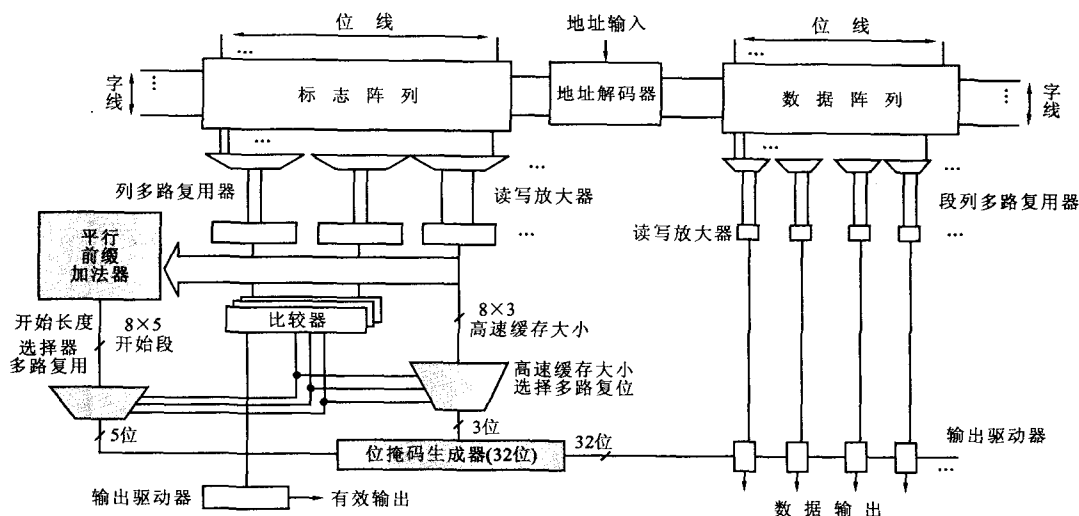
在压缩操作开始之前,需锁定组且不能够服务进一步的请求。不能在关键延迟路径上压缩,因为处理器不能因为一个写失速,而且万一错过一个,组同时被锁住以防进一步存取时,立即发送回取回的数据。但是锁住组可能引起性能降低,因为组不再可用直到压缩完成。

压缩需要两个附加的硬件模块:一个压缩检测模块和一组大小的压缩缓冲器,一个单独的压缩操作将首先需要来自组的一个读,接着写到两个组。通过压缩方案限制面积开销,仅用到每个高速缓存体的一个组缓冲器;于是需要体内所有组分享缓冲器。在一压缩操作期间,为了从组读/写数据,需要通过压缩检测模块协调列解码器逻辑以使读/写回到组的正确段。

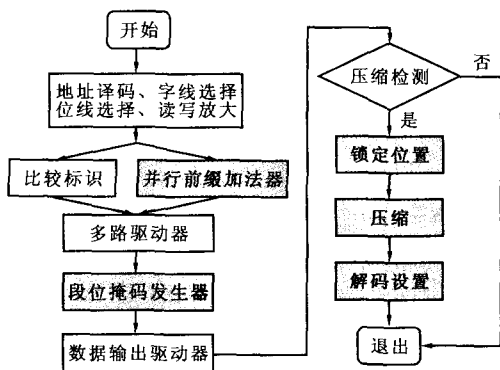
2.2 NIC 内的压缩

针对未用高速缓存器压缩的结构,可用事先注入流量进网络的NIC内压缩。这个方案需要每个NIC内一个压缩器和解压缩器,因而增加了面积和

定时开销.



(a) 高速缓存模型



(b) 高速缓存查找算法

图 2 支持可变线大小的高速缓存配置

NC 方案有一个很重要的好处就是它不需要在 L2 高速缓存存储体内作任何修改。这个特征赋予 NC 具即插即用性能,这对于包含几个来自于不同厂商 IP 块的现代片上系统(SoC)实现是至关重要的。在很多情形里,这些 IP 块可能不能修改(通常所说的硬核),CC 因而在这样环境下会不适用。有一个负面能够在图 1 中看到,就是网络每一节点的 NIC 里,NC 需要一个压缩器/解压缩器单元,这与 CC 方案相反,因 CC 方案仅在 CPU 节点里需要这样的单元。但这产生的额外面积和功耗总开销是最小的,因为压缩器/解压缩器单元是很轻量的,但也会影响性能,因为 NC 结构在读写请求时包含压缩和解压缩操作,而 CC 只含有对于某一存储器请求(解压缩读,压缩写)的两个操作之一。为减轻解压缩性能总开销,把解压缩阶段和网络遍历重叠,这个结构通过一个报文的头部片段一到达它的目标 NIC 就开始累进的解压缩来隐藏一些解压缩延迟。

3 性能评估

为了性能分析,用一组包括科学和商用应用不同的网络负荷,如:Static Web Serving(Apache),SPECComp(apsi, art, mgrid, swim),Mediabench(mm),SPLASH(barnes, ocean, ray, wns),TPC-W, Java Server Workload(SPECjbb), Static Web Serving(Zeus)。下面描述实验平台,包括处理器核、基本 NoC 体系结构、路由器模型等。

3.1 基线 CMP 体系结构

不失一般性,假定一个 45 纳米技术大小的 8 核 CMP 作为基准体系结构。每一个核分专用 L1 高速缓存(指令和每 32KB 大小的数据高速缓存)。所有的核共享 4MB 最后层高速缓存(L2)。L2 高速缓存分成 16 个体,每个体大小为 256KB。每个 L2 高速缓存体有一个与之相关的路由器。每个路由器和 4 个方向上的相邻路由器连接,详细配置见表 1。针对 CMP 体系结

构,实现了一个详细的跟踪驱动周期精确的混合 NoC/高速缓存仿真器.实现的分级存储器体系是由一个二级目录的高速缓存相关协议管理.每个核有一个专用写回 L1 高速缓存. L2 高速缓存为所有的核共享且被分成若干体.相关模型包括一个基于 MESI 的

分布式目录协议,每个 L2 体保持它自己的局部目录.组静态放在体内取决于地址标识的低顺序位.网络定时模型模拟所有种类信息:使无效、请求、回复、写回和确认.互连模型实现一个现代技术水平的低延迟基于报文的 NoC 路由器体系结构.

表 1 仿真模型

基线仿真配置	
处理器核	4GHz 时钟 8 处理器
专用 L1 高速缓存	分离 I 和 D 高速缓存,每个 32KB,4 路组相联映射,64 位线 3 周期存取时间.
共享 L2 高速缓存	统一 4MB、16256KB 存储体,每个体 4 周期存取时间. 在压缩时: 未压缩 4 周期+2 周期(存取时间开销)+5 周期(解压缩器开销)
存储器	4GB DRAM,400 周期存取,每个处理器达到 16 突出存储器请求
路由器流水线	2-进程,虫孔路由选择,每个 PC 具 2VC,80 位微片,4 微片缓冲器深度

NoC 路由器采用确定 X-Y 路由选择算法,有限输入缓冲,虫孔流量控制,从综合实现提取的功耗评估也送到仿真器来计算功耗总开销.文中提到的所有附加硬件逻辑在结构 RTL 级 Verilog 里实现,用一个 TSMC 90 纳米标准单元库的 Synopsys 设计编辑器里综合.库利用合适的线一负载逼近模型合理捕捉线负载作用,获得的面积和功耗数按比例降到 45 纳米技术.

3.2 基线路由器体系结构

一个通用 NoC 路由器体系结构如图 3 所示.路由器有 P 输入和 P 输出信道/端口.在大多数实现中,P=5;输入来自东、南、西、北 4 个方向,一个来自局部处理单元(PE).路由选择计算单元和 RC 负责控制一输入报文到适当输出物理信道/端口(PC)

的头部微片,并且支配所选 PC 内的有效虚拟信道(VC).根据每个头部微片内提供的目标信息作出路由选择.虚拟信道分配单元(VA)在请求访问同一 VC 的所有报文之间仲裁.交换分配单元(SA)在请求访问所有交叉开关之间仲裁,并授权允许到获胜微片,胜者于是能够遍历交叉开关并且被放到输出链路.简单的路由器实验需要每个路由器内元件的一个时钟周期.

在实验中,微片大小选择 80 位(64 位数据有效负载和 16 位网络开销).在任何给定时间,控制网络中数据和报文流量,数据报文明显比控制报文大很多.避免控制报文内的内部存储碎片,选择一个能够容纳至少一个 64 位有效负荷的微片大小.通过分析路由器流水线发现仲裁进程是流水线瓶颈.这个进

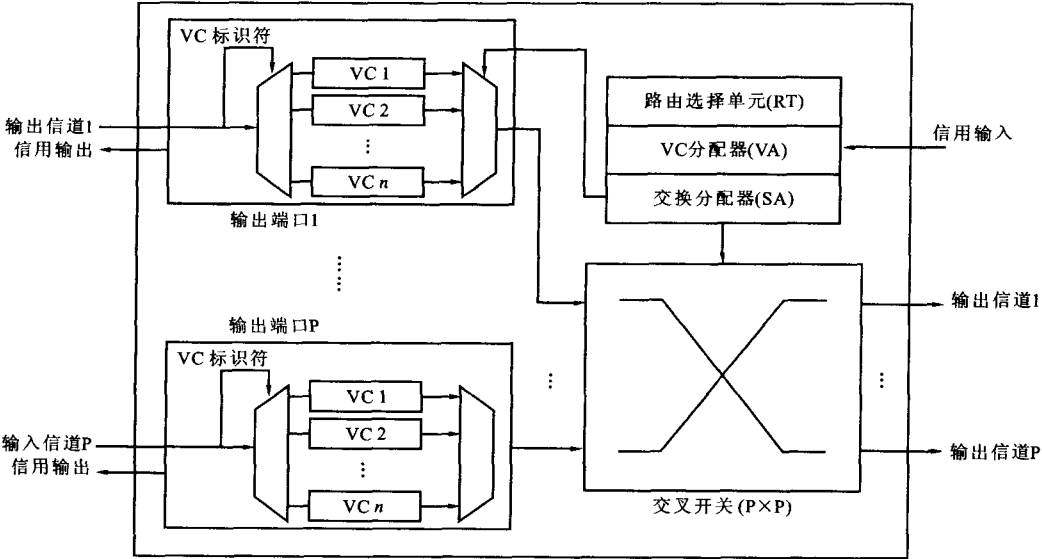


图 3 一个通用 NoC 路由器体系结构

程决定时钟频率,也从电路级实现和定时分析中观察到减少 VC 数量非常大地增加路由器频率。

性能结果显示 CC 方案能减少网络延迟到 33% (平均 23%), 功耗节省达到 24% (平均 7%), 在应用层性能方面,同一般情形比较,平均指令周期数 CPI 减少 17%。同样,NC 方案在竞争延迟、功耗和平均指令周期数 CPI 方面能够分别提供 32%、26% 和 13% 的减少(如图 4 所示)。

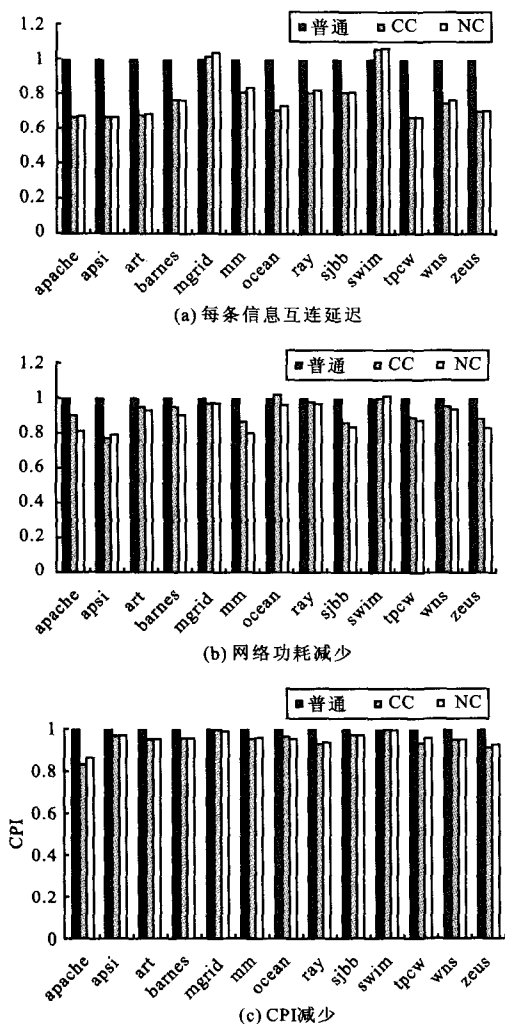


图 4 性能评估

4 结束语

在相同的印模上集成多核的趋势强调对更大的片上高速缓存的需要,这样大的高速缓存是建立在把大多数较小的高速缓冲存储体通过以报文为基础的片上网络 NoC 互连通讯结构基础上的。因而片上网络在优化这样非均匀以高速缓存为基础的多核体

系结构的性能和功耗上起着至关重要的作用。文中探索两个数据压缩技术,针对 NoC 体系结构,被称为高速缓存压缩(CC)和 NIC 内的压缩。性能结果显示,压缩能够使 NoC 设计在较低的网络延迟、较低的功耗和改进应用性能等方面获得优势。尤其 CC 方案有双重优势,能够提高高速缓存以及 CMP 内的 NoC 的性能,NC 方案和 CC 方案一样有效,因为不需修改高速缓存体系结构就能在性能和功耗两方面获得好处。

参考文献:

- [1] 王剑,王宏,杨志家. NOC 路由节点 VLSI 设计[J]. 微电子学与计算机,2009,26(1):9-12.
- [2] Kim J, Nicopoulos C, Park D. A gracefully degrading and energy-efficient modular router architecture for on-chip networks[C]// Proceedings of the 33rd Annual International Symposium on Computer Architecture. Boston: IEEE, 2006:4-15.
- [3] 谭耀东,刘有耀,杜慧敏,等. 片上网络节点编码的设计和在路由方面的应用[J]. 微电子学与计算机,2008,25(6):4-8.
- [4] 赖明澈,王志英,戴葵. 基于路由器解析式模型的 NoC 网络性能分析方法[J]. 计算机辅助设计与图形学学报,2009,21(3):339-345.
- [5] 姚放吾,翟欣虎. 一种分层结构的片上网络路由设计[J]. 微电子学与计算机,2010,27(11):112-116.
- [6] Das R, Mishra A K, Nicopoulos C, et al. Performance and power optimization through data compression in network-on-chip architectures[C]// Proceedings of the 14th International Symposium on High Performance Computer Architecture. Salt Lake City: IEEE, 2008:215-225.
- [7] Alameldeen A R, Wood D A. Interactions between compression and prefetching in chip multiprocessors[C]// Proceedings of the 13th International Symposium on High-Performance Computer Architecture. Phoenix: IEEE, 2007:228-239.

作者简介:

宋朝晖 女,(1969-),博士研究生,副教授. 研究方向为电子设计自动化(EDA)、SOC 芯片设计。

马光胜 男,(1944-),博士生导师,教授. 研究方向为集成电路设计自动化理论和 EDA 算法。

宋大雷 男,(1971-),博士,硕士生导师,副教授. 研究方向为半导体集成电路技术和 EDA 技术。